

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-208519

(43)Date of publication of application : 28.07.2000

---

(51)Int.Cl.

H01L 21/3205

G02F 1/136

G09F 9/30

G09F 9/35

H01L 21/28

H01L 29/786

---

(21)Application number : 11-009163

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 18.01.1999

(72)Inventor : FUJIKAWA SHINSUKE

---

(54) LOW RESISTANCE FILM, ACTIVE MATRIX SUBSTRATE, ELECTROOPTICAL DEVICE AND ELECTRONIC UNIT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide film structure whose adhesion is good without raising resistance owing to thermal treatment by sequentially stacking a first tantalum nitride, a second tantalum nitride whose nitriding degree differs from first tantalum nitride and a third tantalum nitride whose nitriding degree differs from the second tantalum nitride on a low resistance film.

**SOLUTION:** A first tantalum nitride film at the lowest layer is formed on a substrate by a sputtering method and a second tantalum nitride film being an intermediate layer, whose nitriding degree differs from the first tantalum nitride film, is formed on the film. Namely, a condition is made in such a way that the nitriding degree of the second tantalum nitride film becomes smaller than the nitriding degree of the first tantalum nitride film in the lowest layer. Then, a third tantalum nitride film being the uppermost layer, whose nitriding degree differs from the second tantalum nitride film, is formed. Namely, a film forming condition is set to be the same as that of the first tantalum nitride film being the lowermost layer. Thus, film structure with good adhesion is formed without raising a resistance value owing to thermal treatment.

---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP1 are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] Low resistance film characterized by having the structure which carried out the laminating of the 1st tantalum nitride, a tantalum, and the 2nd tantalum nitride one by one.

[Claim 2] For the 1st tantalum nitride and the 1st tantalum nitride, the 2nd tantalum nitride from which whenever [ nitriding ] differs, and the 2nd tantalum nitride are low resistance film characterized by having the structure which carried out the laminating of the 3rd tantalum nitride from which whenever [ nitriding ] differs one by one.

[Claim 3] It is the active-matrix substrate characterized by being the cascade screen which said switching element consists of a thin film transistor in the active-matrix substrate with which it comes to form two or more pixel electrodes in the shape of a matrix, and they connect with each pixel electrode, and it comes to form a switching element, it connects with said switching element, and comes to form a signal line and the scanning line, and consists the gate electrode and/or signal line of said thin film transistor of the 1st tantalum nitride, a tantalum, and the 2nd tantalum nitride.

[Claim 4] The electro-optic device characterized by wiring which makes this tantalum the charge of a principal member, and/or an electrode having on a substrate the structure which carried out the laminating of the 1st tantalum nitride, a tantalum, and the 2nd tantalum nitride one by one in the electro-optic device possessing wiring and/or the electrode which make a tantalum the charge of a principal member.

[Claim 5] The electro-optic device according to claim 4 characterized by being the film which made the same the membrane formation conditions of the 1st tantalum nitride and the 2nd tantalum nitride, and formed them.

[Claim 6] wiring which makes Ta the charge of a principal member on a substrate — and — or the electro-optic device with which the 1st tantalum nitride and the 1st tantalum nitride are characterized by wiring and/or the electrode which make this tantalum the charge of a principal member having the structure which carried out the laminating of the 3rd tantalum nitride from which whenever [ nitriding ] differs one by one, as for the 2nd different tantalum nitride and the 2nd tantalum nitride of whenever [ nitriding ] in the electro-optic device possessing an electrode.

[Claim 7] The electro-optic device according to claim 7 characterized by making the same the membrane formation conditions of the 1st tantalum nitride and the 3rd tantalum nitride.

[Claim 8] The electro-optic device according to claim 6 or 7 with which whenever [ nitriding / of the 1st tantalum nitride and the 3rd tantalum nitride ] is characterized by being higher than whenever [ nitriding / of the 2nd tantalum nitride ].

[Claim 9] The electro-optic device characterized by coming to be formed by the active-matrix substrate according to claim 3 and the opposite substrate.

[Claim 10] Electronic equipment characterized by having an electro-optic device according to claim 9.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the low resistance film, an electro-optic device, etc. It is related with the low resistance film which was excellent in conductivity and adhesion especially.

[0002]

[Description of the Prior Art] The low resistance film is used as wiring for a drive of an MIM (Metal-Insulator-Metal: metal 1 insulator-layer 1 metal) component or a TFT (Thin Film Transistor: thin film transistor) component which is the switching element of an active-matrix liquid crystal display, or an electrode material. This can anodize a tantalum and it is because it has [ that the oxide film (2OTa5 film) formed of anodic oxidation is extremely excellent in insulation, that the tantalum is excellent in chemical resistance (corrosion resistance) etc., and ] the advantage in which the compatibility of manufacture process, such as the above-mentioned component, is still higher.

[0003] Here, although various proposals are made as low resistance film as shown below, it has various problems (for example, JP, 8-325721, A etc.).

[0004] First, if a tantalum (Ta) monolayer is directly formed on a \*\*\*\* substrate, crystal system called betaTa will be taken and it will become the film with high resistance. Moreover, there is a problem that adhesion is not good, either.

[0005] Moreover, in the case of a tantalum nitride (TaN) monolayer, if whenever [ nitriding ] is controlled and optimized, the low resistance film will be made, but there is a problem that adhesion is inadequate under the optimization conditions.

[0006] Furthermore, in the case of the structure (TaOx/TaN) which used tantalum oxide as the substrate film and carried out the laminating of the tantalum nitride on it, adhesion is good, and although it is controlling and optimizing whenever [ nitriding / of TaN ] and the low resistance film can be formed, there are problems, like the alkali component in a TaOx target has a bad influence on engine performance, such as a transistor.

[0007] In the case of the structure (TaN/Ta) which used tantalum nitride as the substrate film (film which guides the crystal system of the upper film), and carried out the laminating of the tantalum on it on the other hand, Ta on the substrate film takes crystal system called alphaTa, and the low resistance film is obtained. What is necessary is just to also compare adhesion with Ta monolayer or a TaN monolayer.

[0008] Since it was such, in development of LCD using low-temperature poly-Si TFT etc., the two-layer structure of TaN+Ta (alphaTa) had been conventionally adopted as the gate signal line after trial-and-error. A reason is that it needed the good low resistance film of adhesion, and is because the alkali component in a target does not do a bad influence.

[0009]

[Problem(s) to be Solved by the Invention] However, when heat treatment of about 300 degrees C was added after membrane formation in furthering process development of low-temperature poly-Si TFT LCD in the case of the two-layer structure of TaN/Ta (alphaTa), it turned out that resistance rises and there is a problem by which film peeling is induced. The rise of resistance may check actuation of a

circuit and film peeling will become one factor of a yield fall.

[0010] When the crystal structure of this gate wiring film was investigated, it is before and after heat treatment, and it was observed that distortion has arisen. And it became clear that this distortion had brought about film peeling and the rise of resistance.

[0011] This invention is made under the background mentioned above, and let it be a technical problem to offer the low resistance film which acts as the connoisseur of the good membrane structure of adhesion, without causing the rise of the resistance by heat treatment and which it has.

[0012]

[Means for Solving the Problem] The 1st low resistance film of this invention has the structure which carried out the laminating of the 1st tantalum nitride, a tantalum, and the 2nd tantalum nitride one by one.

[0013] Since according to such a configuration of this invention distortion of the membranous crystal structure can be suppressed by carrying out a laminating so that Ta may be put by TaN, the low resistance film which has the good membrane structure of adhesion, without causing the rise of the resistance by heat treatment is obtained.

[0014] As for the 2nd tantalum nitride in which whenever [ nitriding ] differs from the 1st tantalum nitride, and the 2nd tantalum nitride, the 2nd low resistance film of this invention has the structure which carried out the laminating of the 3rd tantalum nitride from which whenever [ nitriding ] differs one by one.

[0015] Since distortion of the membranous crystal structure can be suppressed by considering as the above-mentioned predetermined three-tiered structure according to such a configuration of this invention, the low resistance film which has the good membrane structure of adhesion, without causing the rise of the resistance by heat treatment is obtained. In addition, if TaN is formed in an interlayer, the rise of the resistivity by heat treatment will be suppressed by the interlayer compared with the case where Ta is formed.

[0016] The excellent in such conductivity and adhesion 1st and 2nd low resistance film is available as electric conduction film, such as wiring film which made Ta the charge of a principal member, and an electrode layer, and suitable as the circuit at large which heat-treats especially, a circuit in the device by which the height of responsibility is demanded, etc. Moreover, improvement in the quality of a component or equipment can be aimed at.

[0017] Moreover, it is characterized by being the cascade screen which it comes to form the active-matrix substrate of this invention in the shape of a matrix, and two or more pixel electrodes connect it to each pixel electrode, and it comes to form a switching element, it connects with said switching element, and said switching element consists of a thin film transistor in the active-matrix substrate with which it comes to form a signal line and the scanning line, and consists the gate electrode and/or signal line of said thin film transistor of the 1st tantalum nitride, a tantalum, and the 2nd tantalum nitride. While being able to attain low resistance-ization by using such low resistance film as wiring, exfoliation by heat, distortion, etc. can be prevented.

[0018] The electro-optic device of this invention has on a substrate the structure to which wiring which makes this tantalum the charge of a principal member, and/or an electrode carried out the laminating of the 1st tantalum nitride, a tantalum, and the 2nd tantalum nitride one by one in the equipment possessing wiring and/or the electrode which make a tantalum the charge of a principal member.

[0019] Since distortion of the membranous crystal structure can be suppressed like the above by making the wiring film and/or an electrode layer into the three-tiered structure which put Ta by TaN according to such a configuration of this invention, the adhesion of the wiring film and/or an electrode layer is securable. Moreover, distortion of the membranous crystal structure is suppressed and the rise of the resistance by heat treatment can be reduced. The improvement in membranous adhesion is effective in reducing the fall of the yield by peeling of the film. The low resistance film will make delay of signal transduction small, and increases degrees of freedom, such as a design. Moreover, even if it is the

same resistance, it is possible to make wiring thinner, and it becomes an aid of the densification of a circuit element. Furthermore, since it is not necessary to change the ingredient system of a process conventionally, there are various advantages. wiring with which the 2nd equipment of this invention makes Ta the charge of a principal member on a substrate — and — or in the equipment possessing an electrode, as for the 1st tantalum nitride and the 1st tantalum nitride, wiring and/or the electrode which make this tantalum the charge of a principal member have the structure to which the 2nd different tantalum nitride and the 2nd tantalum nitride of whenever [ nitriding ] carried out the laminating of the 3rd different tantalum nitride of whenever [ nitriding ] one by one.

[0020] Since distortion of the membranous crystal structure can be suppressed like the above by making the wiring film and/or an electrode layer into the three-tiered structure put by TaN from which whenever [ nitriding ] differs TaN according to such a configuration of this invention, the adhesion of the wiring film and/or an electrode layer is securable. Moreover, distortion of the membranous crystal structure is suppressed and the rise of the resistance by heat treatment can be reduced. The improvement in membranous adhesion is effective in reducing the fall of the yield by peeling of the film. The low resistance film will make delay of signal transduction small, and increases degrees of freedom, such as a design. Moreover, even if it is the same resistance, it is possible to make wiring thinner, and it becomes an aid of the densification of a circuit element. In addition, if TaN is formed in an interlayer, the rise of the resistivity by heat treatment will be suppressed by the interlayer compared with the case where Ta is formed. Furthermore, since it is not necessary to change the ingredient system of a process conventionally, there are various advantages.

[0021] In one mode of this invention, the thing of Ta equivalent to an interlayer or TaN for which the membrane formation conditions of tantalum nitride are made the same in being located up and down is desirable. According to such a configuration, since membranous stress balance is maintained, it is effective in reducing peeling of the film more.

[0022] Moreover, in other modes of this invention, it is desirable to make whenever [ nitriding / of the 1st tantalum nitride and the 3rd tantalum nitride ] higher than whenever [ nitriding / of the 2nd tantalum nitride ].

[0023] If this reason is explained, it is necessary to make whenever [ nitriding / of lower layer TaN ] to some extent high from the point of membranous adhesion first. Specifically, the resistivity of TaN shown in drawing 1 needs to make whenever [ nitriding ] higher than the point which shows the minimal value (whenever [ nitriding ] becomes large with the increment in the nitrogen rate in a membrane formation ambient atmosphere). On the other hand, there is no advantage in making whenever [ nitriding / of an interlayer's TaN ] higher than whenever [ nitriding / of lower layer TaN ]. since this has the inclination for etching time to become long if whenever [ increasing / the resistance of the whole (1) film / and (2) nitriding ] becomes high and the interlayer occupies most thickness, whenever [ nitriding / of the point of the throughput of film processing to an interlayer ] is so good that it is low — since — it is . The one lower than whenever [ nitriding / of a lower layer (or upper layer) ] of whenever [ nitriding / of the above viewpoint to an interlayer ] is good. It is the range whenever [ nitriding / of a lower layer or the upper layer ]. About at% and as for whenever [ nitriding / of an interlayer ], considering as about at% is desirable.

[0024] The 1st or 2nd equipment of this invention is suitable especially as an electro-optic device which has the pixel electrode and switching element which have been arranged in the shape of a matrix corresponding to the crossover of the scanning line, two or more data lines, and two or more of said scanning lines and said data lines.

[0025] This is because many low resistance film is used as wiring for a drive and the electrode material of the switching element of an active-matrix liquid crystal display.

[0026] In addition, the 1st or 2nd equipment of this invention is applicable to electro-optic devices, such as liquid crystal equipment, and EL (electroluminescence), FED, PD (plasma display). It is [ among these ] suitable for for example, especially low-temperature poly-Si TFT-LCD.

[0027] The manufacture approach of the thin film transistor of this invention is the manufacture approach of a thin film transistor of having the gate electrode by which opposite arrangement was carried out through gate dielectric film in the silicon layer used as a channel, and said silicon layer, and is equipped with the process which forms the 1st tantalum nitride, the 2nd tantalum nitride or a tantalum, and the 3rd tantalum nitride for said gate electrode and/or a gate signal line by the sputtering method one by one.

[0028] According to such a configuration of this invention, control of film properties, such as whenever [ nitriding ], and resistivity, adhesion, is easy, and it is because the low resistance film excellent in quality is producible. The electronic equipment of this invention is equipped with the electro-optic device of above-mentioned this invention. According to such a configuration of this invention, electronic equipment equipped with the outstanding electro-optic device is producible.

[0029]

[Embodiment of the Invention] Next, the gestalt of operation of this invention is explained based on an example.

[0030] Formation of the gestalt Ta system wiring film of the 1st operation is explained.

[0031] The TaN film of the lowest layer is first formed by the SUPAKKU Ling's method on a substrate. TaN shows the inclination of change of resistivity like drawing 1 by changing the nitrogen rate for example, in a membrane formation ambient atmosphere, a nitrogen rate — raising (whenever [ membranous nitriding ] becoming high) — resistivity is rising again, after taking the minimal value. In addition, in this specification, "whenever [ nitriding ]" means the rate (N/TaN) (atomic %) of N atom in TaN.

[0032] In this example, the resistivity of TaN forms the film of high conditions of whenever [ nitriding ] from the conditions which show the minimal value. However, since there is a problem which produces a residue etc. in the case of etching when whenever [ nitriding ] becomes high too much, the cautions which make the need and are stored in sufficient extent are required.

[0033] Membrane formation conditions are the temperature of 150 degrees C, the pressure of 1Pa, Power2kW, Ar flow rate 80sccm, and nitrogen flow rate 10sccm. Since control of whenever [ nitriding / of TaN ] changes with a pressure, membrane formation rates, etc., it is not necessarily restricted to the above-mentioned conditions. Thickness is about 20–100nm, for example, is 50nm (500A).

[0034] Next, an interlayer's Ta film is formed.

[0035] Membrane formation conditions are the temperature of 150 degrees C, the pressure of 1Pa, Power2kW, and Ar flow rate 80sccm. Thickness is about 200–800nm, for example, is 400nm.

[0036] Then, the TaN film of the maximum upper layer is formed. Membrane formation conditions are the same as the membrane formation conditions of the TaN film of the lowest layer.

[0037] Continuation membrane formation of the above three layers is carried out by non-atmospheric-air disconnection. It became the sheet resistance of about 1ohm / \*\* extent in the condition immediately after membrane formation.

[0038] Even if it heat-treated 350 degrees C of substrates in which the film of this three-tiered structure was formed, for example, under nitrogen-gas-atmosphere mind for about 3 hours, the R/C of sheet resistance was stopped to about 15%. Moreover, film peeling was not produced after heat treatment.

[0039] In not forming TaN of the maximum upper layer, the R/C of sheet resistance reaches to a maximum of 100%. That is, there is an example from which resistance doubles.

[0040] Thus, there is effectiveness to R/C reduction of sheet resistance that TaN of the maximum upper layer is big.

[0041] Gestalt this example of the 2nd operation explains the case where do not form Ta like the 1st example as an interlayer, but TaN is formed.

[0042] The TaN film of the lowest layer is first formed by the SUPAKKU Ling's method on a substrate.

[0043] Membrane formation conditions are the temperature of 150 degrees C, the pressure of 1Pa,

Power2kW, Ar flow rate 80sccm, and nitrogen flow rate 10sccm. Since control of whenever [ nitriding / of TaN ] changes with a pressure, membrane formation rates, etc., it is not necessarily restricted to the above-mentioned conditions. Thickness is about 20–100nm, for example, is 50nm. This is the same as that of the 1st example.

[0044] Next, an interlayer's TaN film is formed. As for whenever [ nitriding / of TaN of an interlayer ], in this example, forming on the conditions which become small is more desirable than whenever [ nitriding / of the TaN film of the lowest layer ]. It is because resistivity will rise and the resistance of the wiring film will become large, if whenever [ nitriding ] is raised.

[0045] Membrane formation conditions are the temperature of 150 degrees C, the pressure of 1Pa, Power2kW, Ar flow rate 80sccm, and nitrogen flow rate 2sccm. Thickness is about 200–800nm, for example, is 400nm.

[0046] Then, the TaN film of the maximum upper layer is formed. Membrane formation conditions are the membrane formation conditions of the TaN film of the lowest layer, and \*\* –.

[0047] Continuation membrane formation of the above three layers is carried out by non-atmospheric-air disconnection. It becomes the sheet resistance of about 1ohm / \*\* extent in the condition immediately after membrane formation. In addition, whenever [ nitriding / of an interlayer's TaN film ] was 10at(s)% 50at(s)% whenever [ nitriding / of the TaN film of the lowest layer and the maximum upper layer ].

[0048] Even if it heat-treats 350 degrees C of substrates in which the film of this three-tiered structure was formed, for example, under nitrogen-gas-atmosphere mind for about 3 hours, the R/C of sheet resistance is stopped to about 10%. Therefore, effectiveness is larger than the example 1 which forms Ta in an interlayer. Moreover, film peeling was not produced after heat treatment.

[0049] In gestalt (configuration in image display field in electro-optic device) drawing 2 of the 3rd operation, the configuration of the active-matrix substrate concerning the gestalt of this operation is explained. It comes to form two or more pixels on a active-matrix substrate at the shape of a matrix, a pixel consists of TFT21 for controlling the pixel electrode 20 and the pixel electrode 20, and electrical installation of the data-line 4a to which a picture signal is supplied is carried out to the source concerned of TFT21. The picture signals S1, S2, —, Sn written in data-line 4a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 4a which adjoin each other. Moreover, in pulse, the scan signals G1, G2, —, Gm are constituted by the gate electrode of TFT21 so that it may be impressed by this order by line sequential. Electrical installation of the pixel electrode 20 is carried out to the drain of TFT21, and it writes in the picture signals S1, S2, —, Sn supplied from data-line 4a in TFT21 when only a fixed period closes the switch to predetermined timing.

[0050] In addition, fixed period maintenance of the picture signals S1, S2, —, Sn of the predetermined level which liquid crystal was pinched, and it came to form an electro-optic device (here liquid crystal equipment) between an opposite substrate and a active-matrix substrate, and was written in liquid crystal through the pixel electrode 20 so that it might mention later is carried out between the counterelectrodes (it mentions later) formed in the opposite substrate (it mentions later). When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. Here, in order to prevent the held picture signal leaking, storage capacitance 70 is added to the liquid crystal capacity and juxtaposition which are formed in the question of the pixel electrode 9 and a counterelectrode. For example, as for the electrical potential difference of the pixel electrode 20, only time amount also with triple figures longer than the time amount to which the source electrical potential difference was impressed is held with storage capacitance 70. Thereby, it is improved further and a maintenance property can realize the high liquid crystal equipment of a contrast ratio. In addition, the capacity line 71 which is wiring for forming capacity as an approach of forming storage capacitance 70 in this way may be formed, and capacity may be formed with a question with the scanning line 6 of the preceding paragraph like the after-mentioned.

[0051] (Configuration in the boundary region in an electro-optic device) In drawing 3 , while explaining the configuration of a active-matrix substrate, the configuration of the liquid crystal equipment shown as an example of an electro-optic device below is shown.

[0052] The active-matrix substrate 80 (henceforth a TFT array substrate) first, as a circumference circuit The data-line drive circuit 101 which drives data-line 4a, and the scanning-line drive circuit 104 which drives the scanning line 6, The precharge circuit 201 which precedes the precharge signal NRS of a predetermined voltage level with picture signals S1, S2, —, Sn, and supplies it to two or more data-line 4a, respectively, It has the sampling circuit 301 which samples picture signals S1, S2, —, Sn, and is supplied to two or more data-line 4a, respectively.

[0053] The scanning-line drive circuit 104 impresses the scan signals G1, G2, —, Gm to the scanning line 6 by line sequential in pulse to predetermined timing based on the power source supplied from an external control circuit, a reference clock CLY, its reversal clock, etc.

[0054] Based on the power source supplied from an external control circuit, a reference clock CLX, its reversal clock, etc., according to the timing which impresses the scan signals G1, G2, —, Gm, the sampling circuit driving signals X1, X2, —, Xn are data-line 4 minded [ every ], and the scanning-line drive circuit 104 minds [ 301 ] the sampling circuit drive signal line 306, and supplies the data-line drive circuit 101 to predetermined timing about picture signal line 304 each.

[0055] As a switching element, each data-line 4a of every is equipped with TFT202, the precharge signal line 204 is connected to the drain or source electrode of TFT202, and, as for the precharge circuit 201, the precharge circuit drive signal line 206 is connected to the gate electrode of TFT202. and the timing which the power source of a predetermined electrical potential difference required at the time of actuation in order to write in the precharge signal NRS from an external power through the precharge signal line 204 is supplied, and is preceded with picture signals S1, S2, —, Sn about each data-line 4a through the precharge circuit drive signal line 206 — the precharge signal NRS — \*\*\*\*\* — the precharge circuit driving signal NRG is supplied from an external control circuit like. The precharge circuit 201 supplies the precharge signal NRS (image auxiliary signal) which is preferably equivalent to the picture signals S1, S2, —, Sn of middle gradation level.

[0056] The sampling circuit 301 equips each data-line 4a of every with TFT302, the picture signal line 304 is connected to the source electrode of TFT302, and the sampling \*\*\*\* drive signal line 306 is connected to the gate electrode of TFT302. And these will be sampled if picture signals S1, S2, —, Sn are inputted through the picture signal line 304. That is, if the sampling circuit driving signals X1, X2, —, Xn are inputted from the data-line drive circuit 101 through the sampling circuit drive signal line 306, sequential impression of the picture signals S1, S2, —, Sn will be carried out about picture signal line 304 each at day \*\*\*\* 4a.

[0057] Although it consists of these Figs. so that data-line 4a may be chosen for [ every ], you may make it supply data-line 4a for every group two or more [ every ], as mentioned above.

[0058] (Manufacture process of an electro-optic device) In drawing 4 , the process for forming the active-matrix substrate 80 is explained. The circumference circuit explaining the circuit section especially formed in the perimeter of the viewing area in a active-matrix substrate and a viewing area is explained here. That is, not only the production process of the TFT21 (N channel TFT) and storage capacitance 22 in a viewing area but the production process concerned and the production process of TFT (TFT60 (N channel) and TFT61 of a complementary type (P channel)) in the boundary region (namely, circumference circuit where TFT. etc. is formed around the viewing area since the above-mentioned scan signal or a gate signal is impressed to the above TFT21 in a viewing area and this is driven) formed in concurrency are explained collectively.

[0059] As shown in drawing 4 (1), an insulating layer 32 is formed on a glass substrate 31, and the laminating of the amorphous silicon layer is carried out on it. Then, by heat-treating laser annealing treatment etc. as opposed to a silicon layer, an amorphous silicon layer is made to recrystallize and the crystalline polish recon layer 40 (thickness is 500Å) is formed. This 1st process is the same in a viewing



area and a boundary region.

[0060] Next, as shown in drawing 4 (2), patterning is carried out so that the semi-conductor layer S which mentioned above the formed polish recon layer 40 may be formed, and the laminating of the above-mentioned gate insulating layer 30 is carried out on it. The thickness of this gate insulating layer 30 is about 100–150nm. This 2nd process is the same in a viewing area and a boundary region.

[0061] Next, as shown in drawing 4 (3), mask processing of the fields other than the field which should serve as the above-mentioned connection 16 and the lower electrode 18 among viewing areas 1 is carried out by the resists 41, such as polyimide.

[0062] On the other hand, in a boundary region, mask processing of the whole surface is carried out by the resist 41. And PH3/H2 ion as after mask processing in both fields (for example, a donor) is doped in the polish recon layer 40 through the gate insulating layer 30. The dose of 31P is about two  $3 \times 10^{14}$ – $5 \times 10^{14}$ /cm, and, as for the doping conditions at this time, 80keV extent is needed as energy. Of this 3rd process, the above-mentioned connection 16 and the lower electrode 18 are formed.

[0063] Next, as shown in drawing 4 (4), a resist 41 is exfoliated after doping the PH3/H2 above-mentioned ion, and gate line 6b is formed in the gate electrodes 8 and 46 and 47 lists in each TFT after that. After forming patterns, such as the gate electrode concerned, on a resist, formation of this gate electrode, a gate line, etc. performs the low resistance film of a three-tiered structure explained with the gestalt 1 of operation, or the gestalt 2 of operation by exfoliating the resist concerned, a spatter or after carrying out vacuum deposition.

[0064] By making a gate electrode and a gate line into the three-tiered structure of TaN/Ta or TaN/TaN, since distortion of the membranous crystal structure can be suppressed, the adhesion of a gate electrode and gate line wiring is securable with the gestalt of this operation. Moreover, distortion of the membranous crystal structure is suppressed and the rise of the resistance of the gate electrode by heat treatment and a gate line can be reduced. The improvement in membranous adhesion is effective in reducing the fall of the yield by peeling of the film. The low resistance film will make delay of signal transduction small, and increases degrees of freedom, such as a design. Moreover, even if it is the same resistance, it is possible to make wiring thinner, and it becomes an aid of the densification of a circuit element. Furthermore, since it is not necessary to change the ingredient system of a process conventionally, there are various advantages.

[0065] And after applying and carrying out mask processing of the resist 42 to the field list set to TFT61 after formation of gate line 6b, and in a boundary region at the gate electrodes 8 and 46 concerned and 47 lists, respectively to the field equivalent to the lower electrode 18 in a viewing area 1, PH3/H2 ion is doped again. The doses of 31P are five  $10^{14}$  – about two  $7 \times 10^{14}$ –/cm, and about 80eV of doping conditions at this time is needed as energy. There is little doping to a top electrode compared with the injection rate to a lower electrode. While the source field 10, the channel field 14, and the drain field 12 as TFT21 are formed of the above process [ 4th ], of it, the source field 43, the channel field 44, and the drain field 45 as TFT60 are formed.

[0066] Next, as shown in drawing 4 (5), a resist 42 is exfoliated after doping the PH3/H2 above-mentioned ion, respectively, and after it applies a resist 48 to the field list in which TFT60 in a boundary region is formed, respectively and it carries out mask processing to it to all the fields of a viewing area 1 after that, B-2H6-/H2 ion as an acceptor is doped. The dose of for example, 11B is required for the doping conditions at this time two or more  $5 \times 10^{14}$ /cm, and they are 25keV – 30keV extent needed as energy.

[0067] Of the above process [ 5th ], the source field 50, the channel field 51, and the drain field 52 as TFT61 are formed.

[0068] As finally shown in drawing 4 (6), after exfoliating a resist 48, the laminating of the insulating layer 33 is carried out between the 1st layer. Then, opening of the location used as the contact hole which \*\*\*\* to each electrode of TFT 60 and 61 is carried out to a contact hole C2 and C3 list. When butter NINGU of the pattern of each electrode is carried out by the resist and vacuum evaporation etc.

carries out metals, such as aluminum, after that, data-line 4a is formed in the aluminum electrodes 35, 53, and 54 and 55 lists.

[0069] Then, opening of the location which carries out the laminating of the insulating layer 34 between the 2nd layer, and serves as a contact hole C1 is carried out, and TFT 60 and 61 of the pixel section and the boundary region which form the pixel electrode 20 in the predetermined field on it by vacuum evaporation etc., and are shown in drawing 1 is completed. After that, a counterelectrode is formed in an opposite substrate (not shown) and liquid crystal equipment completes liquid crystal through processing of \*\*\*\*\* etc. between the pixel electrodes 20 and counterelectrodes concerned.

[0070] manufacturing a connection 16 and the lower electrode 18 in the 3rd process, in the mode of the above-mentioned implementation, for a short time, since energy with few still higher since PH<sub>3</sub>/H<sub>2</sub> ion is poured in after gate-dielectric-film 30 formation the polish recon layer 40 being damaged by the ion implantation performs an ion implantation — coming out — last \*\*

[0071] Furthermore, since a flow with the pixel electrode 20 is aimed at by contact holes C1 and C2, the drain field 12, a connection 16, and the pixel electrode 20 are certainly connectable electrically.

[0072] (The whole electro-optic device configuration) the voice of each operation of the electro-optic device (liquid crystal equipment as [ Here ] an example) constituted as mentioned above — a whole configuration [ like ] is explained with reference to drawing 5 and drawing 6 . In addition, drawing 5 is the top view which looked at the TFT array substrate 80 from the opposite substrate 83 side with each component formed on it, and drawing 6 is a H-H' sectional view of drawing 3 shown including the opposite substrate 83.

[0073] In drawing 5 , on the TFT array substrate 80, the sealant 81 is formed along the edge and the 3rd light-shielding film 82 of the protection-from-light nature which consists of an ingredient which is the same as the 2nd light-shielding film 84, or is different is formed in parallel to the inside as a light-shielding film (frame) surrounding the non-display field of the viewing-area circumference. The data-line drive circuit 101 and the mounting terminal 102 are formed in the field of the outside of a sealant 81 along with one side of the TFT array substrate 80, and the scanning-line drive circuit 104 is established in it along with two sides which adjoin this one side. If the scan signal delay supplied to the gate line 31 does not become a problem, only for one side, the scanning-line drive circuit 104 will be. Moreover, the data-line drive circuit 101 may be arranged on both sides along the side of a screen-display field. For example, the data line of an odd number train supplies a picture signal from the data-line drive circuit arranged along one side of the amount region of a screen display, and you may make it the data line of an even number train supply a picture signal from the data-line drive circuit arranged along the side of the opposite side of said screen-display field. Thus, if it is made to drive the data line in the shape of a ctenidium, since the occupancy area of a data-line drive circuit is extensible, it becomes possible to constitute complicated \*\*\*\*. Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of a screen-display field is formed in one side in which the TFT array substrate 80 remains. Moreover, in at least one place of the corner section of the opposite substrate 83, the flow material 106 for taking an electric flow between the TFT array substrate 80 and the opposite substrate 83 is formed. And as shown in drawing 6 , the opposite substrate 83 with the almost same profile as the sealant 81 shown in drawing 5 has fixed to the TFT array substrate 80 by the sealant 81 concerned.

[0074] You may make it connect with LSI for a drive mounted on TAB (tape automated bonding substrate) instead of forming the data-line drive circuit 101 and the scanning-line drive circuit 104 on the TFT array substrate 80 electrically and mechanically through the anisotropy electric conduction film prepared in the periphery of the TFT array substrate 80 with the gestalt of each operation explained with reference to drawing 6 from drawing 1 above. Moreover, according to the exception of modes of operation, such as TN (Twisted Nematic) mode, STN (super TN) mode, and the mode, and the no MARI White mode / NOMA reeve rack mode, a polarization film, a phase contrast film, a polarizing plate, etc. are respectively arranged in a predetermined direction at the side in which the outgoing radiation light of

the side in which the incident light of the opposite substrate 83 carries out incidence, and the TFT array substrate 80 carries out outgoing radiation.

[0075] Since the electro-optic device in the gestalt of each operation explained above is applied to a color electrooptic material projector, the electro-optic device of three sheets will be respectively used as a light valve for RGB, and incidence of the light of each color respectively decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each panel as incident light. Therefore, with the gestalt of each operation, the color filter is not prepared in the opposite substrate 83. However, the color filter of RGB may be formed in the predetermined field which counters pixel electrode 9a in which the 2nd light-shielding film 84 is not formed on the opposite substrate 83 with the protective coat. If it does in this way, the electro-optic device in the gestalt of each operation is applicable to color electro-optic devices, such as color electrooptic material television of direct viewing types other than an electrooptic material projector, or a reflective mold. Furthermore, a micro lens may be formed so that it may correspond 1 pixel on [ one ] the opposite substrate 83. If it does in this way, a bright electro-optic device is realizable by improving the condensing effectiveness of incident light. Furthermore, the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the opposite substrate 83 again may be formed. According to this opposite substrate with a die clo IKKU filter, a brighter color electro-optic device is realizable.

[0076] Moreover, although explained as a switching element prepared in each pixel that it was the poly-Si TFT of a forward stagger mold or a coplanar mold, the gestalt of each operation is effective also to TFT of other formats, such as TFT of a reverse stagger mold, and an amorphous silicon TFT.

[0077] Furthermore, as a switching element of each pixel of an electro-optic device, it may change into TFT and 2 terminal mold nonlinear devices, such as TFD and MIM, may be used. In this case, what is necessary is to form either the scanning line or the data lines in an opposite substrate, to consider as a stripe-like counterelectrode, to use another side as the active-matrix substrate in which the switching element was formed, and just to constitute so that it may connect with each pixel electrode through each TFD component etc. Or you may constitute as an electro-optic device of a passive matrix mold, without preparing a switching element in each pixel of an electro-optic device. In any case, the effectiveness original with this invention mentioned above is acquired by flattening in a viewing area and a seal field.

[0078] (Electronic equipment) Next, the gestalt of operation of electronic equipment equipped with the liquid crystal equipment 100 explained to the detail above is explained with reference to drawing 9 from drawing 7.

[0079] The outline configuration of the electronic equipment which equipped drawing 7 with liquid crystal equipment 100 in this way is shown first.

[0080] In drawing 7, electronic equipment is constituted in preparation for the source 1000 of a display information output, the display information processing circuit 1002, the drive circuit 1004, liquid crystal equipment 100, and clock generation circuit 1008 list in the power circuit 1010. The source 1000 of a display information output outputs display information, such as a picture signal of a predetermined format, to the display information processing circuit 1002 based on the clock signal from the clock generation circuit 1008 including the tuning circuit which aligns and outputs memory, such as ROM (Read Only Memory), RAM (Random Access Memory), and an optical disk unit, and a picture signal. The display information processing circuit 1002 is constituted including various well-known processing circuits, such as magnification and a polarity-reversals circuit, a serial-parallel conversion circuit, a rotation circuit, a gamma correction circuit, and a clamping circuit, carries out sequential generation of the digital signal from the display information inputted based on the clock signal, and outputs it to the drive circuit 1004 with a clock signal CLK. The drive circuit 1004 drives liquid crystal equipment 100. A power circuit 1010 supplies a predetermined power source to each above-mentioned circuit. In addition, on the TFT array substrate which constitutes liquid crystal equipment 100, the drive circuit 1004 may

be carried, in addition to this, the display information processing circuit 1002 is carried, and 6 is good for it.

[0081] Next, the example of the electronic equipment constituted in this way from drawing 8 by drawing 9 is shown respectively.

[0082] In drawing 8, an example slack liquid crystal projector 1100 of electronic equipment prepares three liquid crystal display modules containing the liquid crystal equipment 100 with which the drive circuit 1004 mentioned above was carried on the TFT array substrate, and is constituted as a projector respectively used as light valves 100R, 100G, and 100B for RGB. In a liquid crystal projector 1100, if incident light is emitted from the lamp unit 1102 of sources of the white light, such as a metal halide lamp, it will be divided into parts for Mitsunari R, G, and B corresponding to the three primary colors of RGB with the mirror 1106 of three sheets, and the dichroic mirror 1108 of two sheets, and will be respectively led to the light valves 100R, 100G, and 100B corresponding to each color. Under the present circumstances, especially B light is drawn through the relay lens system 1121 which consists of the incidence lens 1122, a relay lens 1123, and an outgoing radiation lens 1124, in order to prevent the optical loss by the long optical path. And after a part for Mitsunari corresponding to the three primary colors respectively modulated with light valves 100R, 100G, and 100B is again compounded with a dichroic prism 1112, it is projected on it by the screen 1120 as a color picture through a projector lens 1114.

[0083] In drawing 9, the liquid crystal equipment 100 mentioned above is formed in the top covering case, and other personal computers 1200 of the laptop type corresponding to example slack multimedia of electronic equipment (PC) are equipped with the body 1204 with which the keyboard 1202 was incorporated while they hold CPU, memory, a modem, etc. further.

[0084] \*\*\*\*\* equipped with the video tape recorder of a liquid crystal television, a viewfinder mold, or a monitor direct viewing type, the car navigation equipment, the electronic notebook, the calculator, the word processor, the engineering workstation (EWS), the cellular phone, the TV phone, POS terminal, and touch panel other than electronic equipment which were explained with reference to drawing 9 from drawing 7 above etc. is mentioned as an example of the electronic equipment shown in drawing 14.

[0085] As explained above, according to the gestalt of this operation, various kinds of electronic equipment equipped with the liquid crystal equipment in which high-definition image display with high manufacture effectiveness is possible is realizable.

---

[Translation done.]

#### \* NOTICES \*

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.\*\*\*\* shows the word which can not be translated.

3.In the drawings, any words are not translated.

---

#### DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is drawing of N<sub>2</sub> in the membrane formation ambient atmosphere in the tantalum nitride film which expresses relation with resistivity comparatively (whenever [ nitriding ]).

[Drawing 2] They are equal circuits established in two or more pixels of the shape of a matrix which constitutes a active-matrix substrate, such as various components and wiring.

**[Drawing 3]** It is the top view which was formed in the boundary region and in which pulling out and showing wiring and a circumference circuit.

**[Drawing 4]** It is process drawing showing order for the manufacture process of a active-matrix substrate later on.

**[Drawing 5]** It is the top view which looked at the TFT array substrate from the opposite substrate side with each component formed on it.

**[Drawing 6]** It is the H-H' sectional view of drawing 5 .

**[Drawing 7]** It is the block diagram showing the outline configuration of the gestalt of operation of the electronic equipment by this invention.

**[Drawing 8]** It is the sectional view showing a liquid crystal projector as an example of electronic equipment.

**[Drawing 9]** It is the front view showing a personal computer as other examples of electronic equipment.

**[Description of Notations]**

- 4a — Data line
- 6 — Scanning line
- 6b — Gate line
- 8 — Gate electrode
- 10 — Source
- 12 — Drain
- 14 — Channel
- 16 — The above-mentioned connection
- 18 — Lower electrode
- 20 — Pixel electrode
- 21 — TFT (N channel)
- 30 — Gate insulating layer
- 31 — Glass substrate
- 32 — Insulator layer
- 40 — Polish recon layer
- 33 — Insulating layer between the 1st layer
- 34 — Insulating layer between the 2nd layer
- 35 — Aluminum electrode
- 41 — Resist
- 43 — Source
- 44 — Channel
- 45 — Drain
- 46 — Gate electrode
- 47 — Gate electrode
- 48 — Resist
- 50 — Source
- 51 — Channel
- 52 — Drain
- 53 — Aluminum electrode
- 54 — Aluminum electrode
- 55 — Aluminum electrode
- 60 — TFT (N channel)
- 61 — TFT (P channel)
- S — Semi-conductor layer
- C — Contact hole
- 80 — TFT array substrate

- 81 — Sealant
  - 82 — The 3rd light-shielding film
  - 83 — Opposite substrate
  - 84 — The 2nd light-shielding film
  - 85 — Electrooptic material layer
  - 70 — Storage capacitance
  - 71 — Storage capacitance line
  - 101 — Data-line drive circuit
  - 103 — Sampling circuit
  - 104 — Scanning-line drive circuit
- 

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-208519

(P2000-208519A)

(43) 公開日 平成12年7月28日(2000.7.28)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 0 1 L 21/3205		H 0 1 L 21/88	R
G 0 2 F 1/136		G 0 2 F 1/136	
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8
9/35	3 0 5	9/35	3 0 5
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 R

審査請求 未請求 請求項の数10 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願平11-9163

(22) 出願日 平成11年1月18日(1999.1.18)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 藤川 紳介

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100093388

弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 低抵抗膜、アクティブマトリクス基板、電気光学装置並びに電子機器

(57) 【要約】

【課題】 熱処理による抵抗値の上昇を招かずに密着性の良い膜構造を通する有する低抵抗膜等を提供する。

【解決手段】 第1の窒化タンタルと、第1の窒化タンタルとは窒化度の異なる第2の窒化タンタルと、第2の窒化タンタルとは窒化度の異なる第3の窒化タンタルとを順次積層した構造を持つ低抵抗膜とする。

(2)

【特許請求の範囲】

【請求項1】 第1の窒化タンタルと、タンタルと、第2の窒化タンタルとを順次積層した構造を持つことを特徴とする低抵抗膜。

【請求項2】 第1の窒化タンタルと、第1の窒化タンタルとは窒化度の異なる第2の窒化タンタルと、第2の窒化タンタルとは窒化度の異なる第3の窒化タンタルとを順次積層した構造を持つことを特徴とする低抵抗膜。

【請求項3】 複数の画素電極がマトリクス状に形成されてなり、各画素電極に接続してスイッチング素子が形成されてなり、前記スイッチング素子に接続して信号線および走査線が形成されてなるアクティブマトリクス基板において、

前記スイッチング素子は薄膜トランジスタからなり、前記薄膜トランジスタのゲート電極及び／又は信号線を、第1の窒化タンタルと、タンタルと、第2の窒化タンタルとからなる積層膜であることを特徴とするアクティブマトリクス基板。

【請求項4】 基板上に、タンタルを主材料とする配線及び／又は電極を具備する電気光学装置において、該タンタルを主材料とする配線及び／又は電極が、第1の窒化タンタルと、タンタルと、第2の窒化タンタルとを順次積層した構造を持つことを特徴とする電気光学装置。

【請求項5】 第1の窒化タンタルと第2の窒化タンタルの成膜条件を同一にして形成した膜であることを特徴とする請求項4記載の電気光学装置。

【請求項6】 基板上に、Taを主材料とする配線及び／又は電極を具備する電気光学装置において、該タンタルを主材料とする配線及び／又は電極が、第1の窒化タンタルと、第1の窒化タンタルとは窒化度の異なる第2の窒化タンタルと、第2の窒化タンタルとは窒化度の異なる第3の窒化タンタルとを順次積層した構造を持つことを特徴とする電気光学装置。

【請求項7】 第1の窒化タンタルと第3の窒化タンタルの成膜条件を同一としたことを特徴とする請求項7記載の電気光学装置。

【請求項8】 第1の窒化タンタル及び第3の窒化タンタルの窒化度が、第2の窒化タンタルの窒化度より高いことを特徴とする請求項6又は7記載の電気光学装置。

【請求項9】 請求項3に記載のアクティブマトリクス基板と、対向基板とにより形成されてなることを特徴とする電気光学装置。

【請求項10】 請求項9に記載の電気光学装置を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、低抵抗膜及び電気光学装置等に関する。特に、導電性及び密着性に優れた低抵抗膜等に関する。

【0002】

2

【従来の技術】 低抵抗膜は、例えば、アクティブマトリックス液晶表示装置のスイッチング素子であるMIM (Metal-Insulator-Metal: 金属-絶縁膜-金属) 素子やTFT (Thin Film Transistor: 薄膜トランジスタ) 素子の駆動用配線や電極材料として使用されている。これはタンタルが陽極酸化可能であり、陽極酸化により形成される酸化膜 ( $Ta_2O_5$  膜) が極めて絶縁性に優れていること、タンタルが耐薬品性 (耐食性) 等に優れていること、さらに上記素子等の製造プロセスへの適合性が高いといった長所を有していることによる。

【0003】 ここで、低抵抗膜としては、次に示すように各種提案がなされているが (例えば、特開平8-325721号公報等)、様々な問題がある。

【0004】 まず、タンタル (Ta) 単層を縁性基板上に直接成膜すると、 $\beta Ta$  という結晶系をとり、抵抗値の高い膜になってしまう。また密着性も良くないという問題がある。

【0005】 また、窒化タンタル ( $TaN$ ) 単層の場合、窒化度を制御し、最適化すれば低抵抗膜ができるが、その最適化条件下では密着性が不十分であるという問題がある。

【0006】 さらに、酸化タンタルを下地膜とし、その上に窒化タンタルを積層した構造 ( $TaO_x/TaN$ ) の場合、密着性は良好であり、 $TaN$  の窒化度を制御し最適化することで、低抵抗膜を形成できるが、 $TaO_x$  ターゲット中のアルカリ成分がトランジスタ等の性能に悪影響を及ぼす等の問題がある。

【0007】 一方、窒化タンタルを下地膜 (上層の膜の結晶系を誘導する膜) とし、その上にタンタルを積層した構造 ( $TaN/Ta$ ) の場合、下地膜上のTaが $\alpha Ta$  という結晶系をとり、低抵抗膜が得られる。密着性も、Ta単層や $TaN$ 単層に比べれば良い。

【0008】 このようなことから、従来、低温ポリシリコンTFTを用いたLCD等の開発において、ゲート信号線には試行錯誤の末、 $TaN+Ta$  ( $\alpha Ta$ ) という2層構造を採用していた。理由は密着性の良い低抵抗膜を必要としていたからであり、ターゲット中のアルカリ成分が悪影響を及ぼすこともないからである。

【0009】

【発明が解決しようとする課題】 しかしながら、 $TaN/Ta$  ( $\alpha Ta$ ) という2層構造の場合、低温ポリシリコンTFTLCDのプロセス開発を進めるにあたって、成膜後300℃程度の熱処理を加えると、抵抗値が上昇し、膜剥がれが誘発される問題があることがわかった。抵抗値の上昇は回路の動作を阻害する可能性があり、膜剥がれは歩留まり低下の一要因となってしまう。

【0010】 このゲート配線膜の結晶構造を調べてみると、熱処理前後で歪みが生じていることが観察された。そして、この歪みが、膜剥がれや、抵抗値の上昇をもたらしていることが判明した。

50



(3)

3

【0011】本発明は上述した背景の下になされたものであり、熱処理による抵抗値の上昇を招かずに密着性の良い膜構造を通する有する低抵抗膜等を提供することを課題とする。

【0012】

【課題を解決するための手段】本発明の第1の低抵抗膜は、第1の窒化タンタルと、タンタルと、第2の窒化タンタルとを順次積層した構造を持つ。

【0013】本発明のこのような構成によれば、TaをTa<sub>2</sub>N<sub>5</sub>で挟み込むように積層することで、膜の結晶構造の歪みを抑えることができるので、熱処理による抵抗値の上昇を招かずに密着性の良い膜構造を有する低抵抗膜が得られる。

【0014】本発明の第2の低抵抗膜は、第1の窒化タンタルとは窒化度の異なる第2の窒化タンタルと、第2の窒化タンタルとは窒化度の異なる第3の窒化タンタルとを順次積層した構造を持つ。

【0015】本発明のこのような構成によれば、上記所定の3層構造とすることで、膜の結晶構造の歪みを抑えることができるので、熱処理による抵抗値の上昇を招かずに密着性の良い膜構造を有する低抵抗膜が得られる。尚、中間層にTa<sub>2</sub>N<sub>5</sub>を形成すると、中間層にTaを形成する場合に比べ熱処理による抵抗率の上昇が抑えられる。

【0016】このような導電性及び密着性に優れた第1及び第2の低抵抗膜は、Taを主材料とした配線膜や電極膜等の導電膜として利用可能であり、特に、熱処理を施す回路全般や、応答性の高さが要求される機器における回路等として適する。また、素子や装置の品質の向上を図ることができる。

【0017】また、本発明のアクティブマトリクス基板は、複数の画素電極がマトリクス状に形成されてなり、各画素電極に接続してスイッチング素子が形成されてなり、前記スイッチング素子に接続して信号線および走査線が形成されてなるアクティブマトリクス基板において、前記スイッチング素子は薄膜トランジスタからなり、前記薄膜トランジスタのゲート電極及び／又は信号線を、第1の窒化タンタルと、タンタルと、第2の窒化タンタルとからなる積層膜であることを特徴とする。このような低抵抗膜を配線として用いることにより、低抵抗化が図れるとともに、熱による剥離、歪みなどを防止することができる。

【0018】本発明の電気光学装置は、基板上に、タンタルを主材料とする配線及び／又は電極を具備する装置において、該タンタルを主材料とする配線及び／又は電極が、第1の窒化タンタルと、タンタルと、第2の窒化タンタルとを順次積層した構造を持つ。

【0019】本発明のこのような構成によれば、配線膜及び／又は電極膜を、TaをTa<sub>2</sub>N<sub>5</sub>で挟み込んだ3層構造とすることで、上記と同様に膜の結晶構造の歪みを抑

4

えることができるので、配線膜及び／又は電極膜の密着性を確保できる。また膜の結晶構造の歪みを抑え、熱処理による抵抗値の上昇を低減できる。膜の密着性の向上は、膜の剥がれによる歩留まりの低下を低減する効果がある。低抵抗膜は信号伝達の遅延を小さくすることになり、設計等の自由度を増す。また同じ抵抗値であっても配線をより細くすることが可能であり、回路要素の高密度化の一助となる。さらに、従来プロセスの材料系を変える必要がないので種々の利点がある。本発明の第2の装置は、基板上に、Taを主材料とする配線及び／又は電極を具備する装置において、該タンタルを主材料とする配線及び／又は電極が、第1の窒化タンタルと、第1の窒化タンタルとは窒化度の異なる第2の窒化タンタルと、第2の窒化タンタルとは窒化度の異なる第3の窒化タンタルとを順次積層した構造を持つ。

【0020】本発明のこのような構成によれば、配線膜及び／又は電極膜を、Ta<sub>2</sub>N<sub>5</sub>を窒化度の異なるTa<sub>2</sub>N<sub>5</sub>で挟み込んだ3層構造とすることで、上記と同様に膜の結晶構造の歪みを抑えることができるので、配線膜及び／又は電極膜の密着性を確保できる。また膜の結晶構造の歪みを抑え、熱処理による抵抗値の上昇を低減できる。膜の密着性の向上は、膜の剥がれによる歩留まりの低下を低減する効果がある。低抵抗膜は信号伝達の遅延を小さくすることになり、設計等の自由度を増す。また同じ抵抗値であっても配線をより細くすることが可能であり、回路要素の高密度化の一助となる。尚、中間層にTa<sub>2</sub>N<sub>5</sub>を形成すると、中間層にTaを形成する場合に比べ熱処理による抵抗率の上昇が抑えられる。さらに、従来プロセスの材料系を変える必要がないので種々の利点がある。

【0021】本発明の一態様では、中間層に相当するTa又はTa<sub>2</sub>N<sub>5</sub>の上下に位置するに窒化タンタルの成膜条件を同一とすることが好ましい。このような構成によれば、膜の応力バランスがとれるので、膜の剥がれをより低減する効果がある。

【0022】また、本発明の他の態様では、第1の窒化タンタル及び第3の窒化タンタルの窒化度を、第2の窒化タンタルの窒化度より高くすることが好ましい。

【0023】この理由について説明すると、まず、下層のTa<sub>2</sub>N<sub>5</sub>の窒化度は膜の密着性の点からある程度高くする必要がある。具体的には、図1に示すTa<sub>2</sub>N<sub>5</sub>の抵抗率が極小値を示す点よりも窒化度を高くする必要がある

(窒化度は成膜雰囲気中の窒素割合の増加に伴い大きくなる)。一方、中間層のTa<sub>2</sub>N<sub>5</sub>の窒化度を下層のTa<sub>2</sub>N<sub>5</sub>の窒化度よりも高くすることには利点がない。これは、

(1) 膜全体の抵抗値を増大させてしまう場合があること、(2) 窒化度が高くなると、エッチング時間が長くなる傾向があり、また、中間層が膜厚のほとんどを占めていることから、膜加工のスループットの点から中間層の窒化度は低い程良いこと、からである。以上の観点か

(4)

5

ら中間層の窒化度は下層（あるいは上層）の窒化度より低いほうが良い。下層あるいは上層の窒化度範囲はa t %程度、中間層の窒化度はa t %程度とすることが好ましい。

【0024】本発明の第1又は第2の装置は、複数の走査線と、複数のデータ線と、前記走査線と前記データ線の交差に対応してマトリックス状に配置された画素電極及びスイッチング素子とを有する電気光学装置として特に適する。

【0025】これは、低抵抗膜は、アクティブマトリックス液晶表示装置のスイッチング素子の駆動用配線や電極材料として多く使用されているからである。

【0026】尚、本発明の第1又は第2の装置は、液晶装置、EL（エレクトロルミネッセンス）、FED、PD（プラズマディスプレイ）などの電気光学装置に応用できる。これらのうち、例えば、低温ポリシリコンTFT-LCDに特に適する。

【0027】本発明の薄膜トランジスタの製造方法は、チャンネルとなるシリコン層と、前記シリコン層にゲート絶縁膜を介して対向配置されたゲート電極とを有する薄膜トランジスタの製造方法であって、前記ゲート電極及び／又はゲート信号線を、第1の窒化タンタルと、第2の窒化タンタル又はタンタルと、第3の窒化タンタルとを順次スパッタリング法により形成する工程を備える。

【0028】本発明のこのような構成によれば、窒化度や、抵抗率、密着性などの膜特性の制御が容易であり、品質に優れた低抵抗膜を作製できるからである。本発明の電子機器は、上記本発明の電気光学装置を備える。本発明のこのような構成によれば、優れた電気光学装置を備えた電子機器を作製できる。

【0029】

【発明の実施の形態】次に、本発明を実施の形態を実施例に基づき説明する。

【0030】第1の実施の形態

Ta系配線膜の形成について説明する。

【0031】まず基板上に最下層のTa<sub>x</sub>N膜をスパッタリング法により形成する。Ta<sub>x</sub>Nは例えば、成膜雰囲気中の窒素割合を変化させることにより、図1のような抵抗率の変化の傾向を示す。窒素割合を高める（膜の窒化度が高くなる）と抵抗率は極小値を取った後に再び上昇している。尚、本明細書において、「窒化度」とは、Ta<sub>x</sub>N中のN原子の割合（N/Ta<sub>x</sub>N）（原子%）を意味する。

【0032】本実施例では、Ta<sub>x</sub>Nの抵抗率が極小値を示す条件より窒化度の高い条件の膜を形成する。ただし窒化度が過度に高くなると、エッチングの際に残さ等を生じる問題があるので、必要にして十分な程度に収める注意が必要である。

【0033】成膜条件は例えば、温度150℃、圧力1

6

Pa、Power 2 kW、Ar流量80 sccm、窒素流量10 sccmである。Ta<sub>x</sub>Nの窒化度の制御は圧力、成膜速度などによっても異なるので必ずしも上記の条件に制限されるわけではない。膜厚は20～100 nm程度であり、例えば50 nm（500 Å）である。

【0034】次に中間層のTa膜を形成する。

【0035】成膜条件は例えば、温度150℃、圧力1 Pa、Power 2 kW、Ar流量80 sccmである。膜厚は200～800 nm程度であり、例えば400 nmである。

【0036】続いて最上層のTa<sub>x</sub>N膜を形成する。成膜条件は最下層のTa<sub>x</sub>N膜の成膜条件と同一である。

【0037】以上の3層を非大気開放で、連続成膜する。成膜直後の状態でおおよそ1 Ω/□程度のシート抵抗値となった。

【0038】この3層構造の膜を形成した基板を、例えば窒素雰囲気下で350℃、3時間程度熱処理してもシート抵抗の上昇率は15%程度に抑えられた。また、熱処理後に膜剥がれは生じなかった。

【0039】最上層のTa<sub>x</sub>Nを形成しない場合には、シート抵抗の上昇率は最大100%に達する。つまり抵抗値が2倍になる例がある。

【0040】このように最上層のTa<sub>x</sub>Nがシート抵抗値の上昇率低減に大きな効果がある。

【0041】第2の実施の形態

本実施例では、中間層として第1の実施例のようにTaを形成するのではなく、Ta<sub>x</sub>Nを形成する場合について説明する。

【0042】まず基板上に最下層のTa<sub>x</sub>N膜をスパッタリング法により形成する。

【0043】成膜条件は例えば、温度150℃、圧力1 Pa、Power 2 kW、Ar流量80 sccm、窒素流量10 sccmである。Ta<sub>x</sub>Nの窒化度の制御は圧力、成膜速度などによっても異なるので必ずしも上記の条件に制限されるわけではない。膜厚は20～100 nm程度であり、例えば50 nmである。これは第1の実施例と同一である。

【0044】次に中間層のTa<sub>x</sub>N膜を形成する。本実施例では中間層のTa<sub>x</sub>Nの窒化度は最下層のTa<sub>x</sub>N膜の窒化度より小さくなる条件で形成することが好ましい。なぜなら窒化度を上げると抵抗率が上昇し、配線膜の抵抗値が大きくなってしまからである。

【0045】成膜条件は例えば、温度150℃、圧力1 Pa、Power 2 kW、Ar流量80 sccm、窒素流量2 sccmである。膜厚は200～800 nm程度であり、例えば400 nmである。

【0046】続いて最上層のTa<sub>x</sub>N膜を形成する。成膜条件は最下層のTa<sub>x</sub>N膜の成膜条件と同一である。

【0047】以上の3層を非大気開放で、連続成膜す

(5)

7

る。成膜直後の状態でおよそ $1\Omega/\square$ 程度のシート抵抗値となる。尚、最下層及び最上層のTaN膜の窒化度は50at%、中間層のTaN膜の窒化度は10at%であった。

【0048】この3層構造の膜を形成した基板を、例えば窒素雰囲気下で350℃、3時間程度熱処理してもシート抵抗の上昇率は10%程度に抑えられる。したがって、中間層にTaを形成する実施例1よりも効果が大きい。また、熱処理後に膜剥がれは生じなかった。

【0049】第3の実施の形態

(電気光学装置における画像表示領域における構成) 図2において、本実施の形態にかかるアクティブマトリクス基板の構成について説明する。アクティブマトリクス基板にはマトリクス状に複数の画素が形成されてなり、画素は画素電極20及び画素電極20を制御するためのTFT21とからなり、画像信号が供給されるデータ線4aが当該TFT21のソースに電気的接続されている。データ線4aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線4a同士に対して、グループ毎に供給するようにしても良い。また、TFT21のゲート電極にはパルスの走査信号G1、G2、…、Gmが、この順に線順次で印加するように構成されている。画素電極20は、TFT21のドレインに電気的接続されており、TFT21を一定期間だけそのスイッチを閉じることにより、データ線4aから供給される画像信号S1、S2、…、Snを所定のタイミングで書き込む。

【0050】なお、後述するように対向基板とアクティブマトリクス基板との間に液晶が挟持されて電気光学装置(ここでは液晶装置)が形成されてなり、画素電極20を介して液晶に書き込まれた所定レベルの画像信号S1、S2、…、Snは、対向基板(後述する)に形成された対向電極(後述する)との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ここで、保持された画像信号がリークするのを防ぐために、画素電極9と対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。例えば、画素電極20の電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善され、コントラスト比の高い液晶装置が実現できる。尚、このように蓄積容量70を形成する方法としては、容量を形成するための配線である容量線71を設けても良いし、後述のように前段の走査線6との間で容量を形成しても良い。

【0051】(電気光学装置における周辺領域における構成) 図3において、アクティブマトリクス基板の構成を説明するとともに、以下に電気光学装置の一例として示す液晶装置の構成を示す。

【0052】まず、アクティブマトリクス基板80(以

8

下、TFTアレイ基板とも言う)は周辺回路として、データ線4aを駆動するデータ線駆動回路101と、走査線6を駆動する走査線駆動回路104と、複数のデータ線4aに所定電圧レベルのプリチャージ信号NRSを画像信号S1、S2、…、Snに先行して夫々供給するプリチャージ回路201と、画像信号S1、S2、…、Snをサンプリングして複数のデータ線4aに夫々供給するサンプリング回路301とを備える。

【0053】走査線駆動回路104は、外部制御回路から供給される電源、基準クロックCLY及びその反転クロック等に基づいて、所定タイミングで走査線6に走査信号G1、G2、…、Gmをパルスの線順次で印加する。

【0054】データ線駆動回路101は、外部制御回路から供給される電源、基準クロックCLX及びその反転クロック等に基づいて、走査線駆動回路104が走査信号G1、G2、…、Gmを印加するタイミングに合わせて、画像信号線304夫々について、データ線4a毎にサンプリング回路駆動信号X1、X2、…、Xnをサンプリング回路301にサンプリング回路駆動信号線306を介して所定タイミングで供給する。

【0055】プリチャージ回路201は、スイッチング素子として、例えばTFT202を各データ線4a毎に備えており、プリチャージ信号線204がTFT202のドレイン又はソース電極に接続されており、プリチャージ回路駆動信号線206がTFT202のゲート電極に接続されている。そして、動作時には、プリチャージ信号線204を介して、外部電源からプリチャージ信号NRSを書き込むために必要な所定電圧の電源が供給され、プリチャージ回路駆動信号線206を介して、各データ線4aについて画像信号S1、S2、…、Snに先行するタイミングでプリチャージ信号NRSを書き込むように、外部制御回路からプリチャージ回路駆動信号NRGが供給される。プリチャージ回路201は、好ましくは中間階調レベルの画像信号S1、S2、…、Snに相当するプリチャージ信号NRS(画像補助信号)を供給する。

【0056】サンプリング回路301は、TFT302を各データ線4a毎に備えており、画像信号線304がTFT302のソース電極に接続されており、サンプリング回路駆動信号線306がTFT302のゲート電極に接続されている。そして、画像信号線304を介して、画像信号S1、S2、…、Snが入力されると、これらをサンプリングする。即ち、サンプリング回路駆動信号線306を介してデータ線駆動回路101からサンプリング回路駆動信号X1、X2、…、Xnが入力されると、画像信号線304夫々について画像信号S1、S2、…、Snをデータ線4aに順次印加する。

【0057】本図では、データ線4aを一本毎に選択するように構成されているが、上述したようにデータ線4

(6)

9

aを複数本毎にグループ毎に供給するようにしても良い。

【0058】(電気光学装置の製造プロセス)図4においては、アクティブマトリクス基板80を形成するためのプロセスを説明する。特に、アクティブマトリクス基板における表示領域と表示領域の周囲に形成される回路部を説明した周辺回路とをここでは説明する。すなわち、表示領域内のTFT21(NチャネルTFT)及び蓄積容量22の製造工程だけでなく、当該製造工程と同時に並行的に形成される周辺領域(すなわち、表示領域内の上記TFT21に対して上記走査信号又はゲート信号を印加してこれを駆動するために表示領域周辺にTFT等が形成されている周辺回路)内にあるTFT(補補型のTFT60(Nチャネル)及びTFT61(Pチャネル))の製造工程も併せて説明するものである。

【0059】図4(1)に示されるように、ガラス基板31上に絶縁層32を形成し、その上に、アモルファスのシリコン層を積層する。その後、シリコン層に対して例えばレーザアニール処理等の加熱処理を施すことにより、アモルファスのシリコン層を再結晶させ、結晶性のポリシリコン層40(厚さは、例えば500オングストローム)を形成する。この第1工程は、表示領域及び周辺領域において同様である。

【0060】次に、図4(2)に示されるように、形成されたポリシリコン層40を上述した半導体層Sを形成するようにパターンニングし、その上に上記ゲート絶縁層30を積層する。このゲート絶縁層30の厚さは、例えば100~150nm程度である。この第2工程は、表示領域及び周辺領域において同様である。

【0061】次に、図4(3)に示されるように、表示領域1のうち、上記接続部16及び下部電極18となるべき領域以外の領域をポリイミド等のレジスト41でマスク処理する。

【0062】一方、周辺領域においては、その全面をレジスト41でマスク処理する。そして、双方の領域におけるマスク処理の後、例えば、ドナーとしての $\text{PH}_3/\text{H}_2$ イオンをゲート絶縁層30を介してポリシリコン層40にドーピングする。このときのドーピング条件は、例えば、31Pのドーズ量が $3 \times 10^{14} \sim 5 \times 10^{14}/\text{cm}^2$ 程度であり、エネルギーとしては、80keV程度が必要とされる。この第3工程により、上記接続部16及び下部電極18が形成される。

【0063】次に、図4(4)に示されるように、上記 $\text{PH}_3/\text{H}_2$ イオンをドーピング後、レジスト41を剥離し、その後、夫々のTFTにおけるゲート電極8、46及び47並びにゲート線6bを形成する。このゲート電極及びゲート線等の形成は、例えば、レジスト上に当該ゲート電極等のパターンを形成した後、実施の形態1又は実施の形態2で説明した3層構造の低抵抗膜をスパッタ又は真空蒸着した後、当該レジストを剥離すること

10

により行う。

【0064】本実施の形態では、ゲート電極及びゲート線を、 $\text{Ta N}/\text{Ta}$ 又は $\text{Ta N}/\text{Ta N}$ の3層構造とすることで、膜の結晶構造の歪みを抑えることができるので、ゲート電極及びゲート線配線の密着性を確保できる。また膜の結晶構造の歪みを抑え、熱処理によるゲート電極及びゲート線の抵抗値の上昇を低減できる。膜の密着性の向上は、膜の剥がれによる歩留まりの低下を低減する効果がある。低抵抗膜は信号伝達の遅延を小さくすることになり、設計等の自由度を増す。また同じ抵抗値であっても配線をより細くすることが可能であり、回路要素の高密度化の一助となる。さらに、従来プロセスの材料系を変える必要がないので種々の利点がある。

【0065】そして、当該ゲート電極8、46及び47並びにゲート線6bの形成後、周辺領域内のTFT61となる領域並びに表示領域1内の下部電極18に相当する領域に夫々レジスト42を塗布してマスク処理した後、再度、 $\text{PH}_3/\text{H}_2$ イオンをドーピングする。このときのドーピング条件は、例えば、31Pのドーズ量が $5 \times 10^{14} \sim 7 \times 10^{14}/\text{cm}^2$ 程度であり、エネルギーとしては、80eV程度必要とされる。上側電極へのドーピングは下部電極への注入量に比べて少ない。以上の第4工程により、TFT21としてのソース領域10とチャネル領域14とドレイン領域12とが形成されると共に、TFT60としてのソース領域43とチャネル領域44とドレイン領域45とが形成される。

【0066】次に、図4(5)に示されるように、上記 $\text{PH}_3/\text{H}_2$ イオンをドーピング後、レジスト42を夫々剥離し、その後、周辺領域内のTFT60が形成されている領域並びに表示領域1の全ての領域にレジスト48を夫々塗布してマスク処理した後、アクセプタとしての $\text{B}_2\text{H}_6/\text{H}_2$ イオンをドーピングする。このときのドーピング条件は、例えば、11Bのドーズ量が $5 \times 10^{14}/\text{cm}^2$ 以上必要であり、エネルギーとしては、25keV~30keV程度必要とされる。

【0067】以上の第5工程により、TFT61としてのソース領域50とチャネル領域51とドレイン領域52とが形成される。

【0068】最後に図4(6)に示されるように、レジスト48を剥離した後、第1層間絶縁層33を積層し、その後、コンタクトホールC2及びC3並びにTFT60及び61の夫々の電極に村応するコンタクトホールとなる位置を開孔し、各電極のパターンをレジストでパターンニングし、その後アルミニウム等の金属を蒸着等することにより、アルミ電極35、53、54及び55並びにデータ線4aを形成する。

【0069】その後、第2層間絶縁層34を積層してコンタクトホールC1となる位置を開孔し、その上の所定の領域に画素電極20を蒸着等により形成して図1に示す画素部及び周辺領域のTFT60及び61が完成す

(7)

11

る。その後は、対向基板（図示せず）に対向電極を形成し、当該画素電極20と対向電極の間に液晶を充填す等の処理を経て液晶装置が完成する。

【0070】上記実施の態様では、第3工程において、ゲート絶縁膜30形成後に $\text{PH}_3/\text{H}_2$ イオンを注入するので、ポリシリコン層40がイオン注入により破損することが少なく、更に高いエネルギーでイオン注入を行うので短時間で接続部16及び下部電極18を製造することができる。

【0071】更にコンタクトホールC1及びC2により画素電極20との導通を図るのでドレイン領域12と接続部16と画素電極20とを電気的に確実に接続することができる。

【0072】（電気光学装置の全体構成）以上のように構成された電気光学装置（ここでは一例として液晶装置）の各実施の態様の全体構成を図5及び図6を参照して説明する。尚、図5は、TFTアレイベース80をその上に形成された各構成要素と共に対向基板83の側から見た平面図であり、図6は、対向基板83を含めて示す図3のH-H'断面図である。

【0073】図5において、TFTアレイベース80の上には、シール材81がその縁に沿って設けられており、その内側に並行して、表示領域周辺の非表示領域を囲む遮光膜（額縁）として、例えば第2遮光膜84と同じ或いは異なる材料から成る遮光性の第3遮光膜82が設けられている。シール材81の外側の領域には、データ線駆動回路101及び実装端子102がTFTアレイベース80の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。ゲート線31に供給される走査信号遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良い。また、データ線駆動回路101を画面表示領域の辺に沿って両側に配列してもよい。例えば奇数列のデータ線は画面表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線は前記画面表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線を櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な向路を構成することが可能となる。更にTFTアレイベース80の残る一辺には、画面表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板83のコーナー部の少なくとも1箇所においては、TFTアレイベース80と対向基板83との間で電気的導通をとるための導通材106が設けられている。そして、図6に示すように、図5に示したシール材81とほぼ同じ輪郭を持つ対向基板83が当該シール材81によりTFTアレイベース80に固着されている。

【0074】以上図1から図6を参照して説明した各実

12

施の形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイベース80の上に設ける代わりに、例えばTAB（テープオートメテッドボンディング基板）上に実装された駆動用LSIに、TFTアレイベース80の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板83の投射光が入射する側及びTFTアレイベース80の出射光が出射する側には各々、例えば、TN（ツイステッドネマティック）モード、STN（スーパーTN）モード、モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方角で配置される。

【0075】以上説明した各実施の形態における電気光学装置は、カラー電気光学物質プロジェクトに適用されるため、3枚の電気光学装置がRGB用のライトバルブとして各々用いられ、各パネルには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施の形態では、対向基板83に、カラーフィルタは設けられていない。しかしながら、第2遮光膜84の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板83上に形成してもよい。このようにすれば、電気光学物質プロジェクト以外の直視型や反射型のカラー電気光学物質テレビなどのカラー電気光学装置に各実施の形態における電気光学装置を適用できる。更に、対向基板83上に1画素1個に対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板83上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー電気光学装置が実現できる。

【0076】また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコンTFTであるとして説明したが、逆スタガ型のTFTやアモルファスシリコンTFT等の他の形式のTFTに対しても、各実施の形態は有効である。

【0077】更に、電気光学装置の各画素のスイッチング素子として、TFTに変えて、TFD、MIM等の2端子型非線形素子を用いてもよい。この場合には、走査線及びデータ線のうち的一方を対向基板に設けてストライプ状の対向電極とし、他方をスイッチング素子を形成したアクティブマトリクス基板とし、各TFD素子等を介して各画素電極に接続するように構成すればよい。或いは、電気光学装置の各画素にスイッチング素子を設けることなく、パッシブマトリクス型の電気光学装置として構成してもよい。いずれの場合にも、表示領域内及び

(8)

13

シール領域内における平坦化により、上述した本発明独自の効果が得られる。

【0078】(電子機器)次に、以上詳細に説明した液晶装置100を備えた電子機器の実施の形態について図7から図9を参照して説明する。

【0079】先ず図7に、このように液晶装置100を備えた電子機器の概略構成を示す。

【0080】図7において、電子機器は、表示情報出力源1000、表示情報処理回路1002、駆動回路1004、液晶装置100、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM (Read Only Memory)、RAM (Random Access Memory)、光ディスク装置などのメモリ、画像信号を同調して出力する同調回路等を含み、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、シリアル・パラレル変換回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に駆動回路1004に出力する。駆動回路1004は、液晶装置100を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、液晶装置100を構成するTFTアレイ基板の上に、駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載し6もよい。

【0081】次に図8から図9に、このように構成された電子機器の具体例を各々示す。

【0082】図8において、電子機器の一例たる液晶プロジェクト1100は、上述した駆動回路1004がTFTアレイ基板上に搭載された液晶装置100を含む液晶表示モジュールを3個用意し、各々RGB用のライトバルブ100R、100G及び100Bとして用いたプロジェクトとして構成されている。液晶プロジェクト1100では、メタルハライドランプ等の白色光源のランプユニット1102から投射光が発せられると、3枚のミラー1106及び2枚のダイクロイックミラー1108によって、RGBの3原色に対応する光成分R、G、Bに分けられ、各色に対応するライトバルブ100R、100G及び100Bに各々導かれる。この際特にB光は、長い光路による光損失を防ぐために、入射レンズ1122、リレーレンズ1123及び出射レンズ1124からなるリレーレンズ系1121を介して導かれる。そして、ライトバルブ100R、100G及び100Bにより各々変調された3原色に対応する光成分は、ダイクロイックプリズム1112により再度合成された後、投射レンズ1114を介してスクリーン1120にカラー画像として投射される。

14

【0083】図9において、電子機器の他の例たるマルチメディア対応のラップトップ型のパーソナルコンピュータ(PC)1200は、上述した液晶装置100がトップカバーケース内に設けられており、更にCPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体1204を備えている。

【0084】以上図7から図9を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、エンジニアリング・ワークステーション(EWS)、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等などが図14に示した電子機器の例として挙げられる。

【0085】以上説明したように、本実施の形態によれば、製造効率が高く高品位の画像表示が可能な液晶装置を備えた各種の電子機器を実現できる。

【図面の簡単な説明】

【図1】窒化タンタル膜における成膜雰囲気中のN<sub>2</sub>の割合(窒化度)と抵抗率との関係を表す図である。

【図2】アクティブマトリクス基板を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

【図3】周辺領域に形成された引き出し配線及び周辺回路を示す平面図である。

【図4】アクティブマトリクス基板の製造プロセスを順を追って示す工程図である。

【図5】TFTアレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図6】図5のH-H'断面図である。

【図7】本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図8】電子機器の一例として液晶プロジェクトを示す断面図である。

【図9】電子機器の他の例としてパーソナルコンピュータを示す正面図である。

【符号の説明】

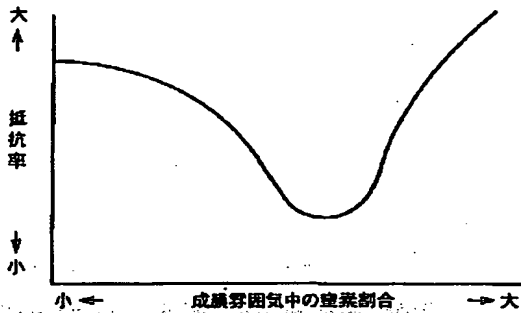
- 4a…データ線
- 6…走査線
- 6b…ゲート線
- 8…ゲート電極
- 10…ソース
- 12…ドレイン
- 14…チャネル
- 16…上記接続部
- 18…下部電極
- 20…画素電極
- 21…TFT (Nチャネル)
- 30…ゲート絶縁層
- 31…ガラス基板
- 32…絶縁膜

(9)

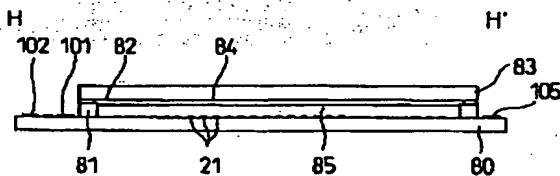
15

40…ポリシリコン層  
 33…第1層間絶縁層  
 34…第2層間絶縁層  
 35…アルミ電極  
 41…レジスト  
 43…ソース  
 44…チャネル  
 45…ドレイン  
 46…ゲート電極  
 47…ゲート電極  
 48…レジスト  
 50…ソース  
 51…チャネル  
 52…ドレイン  
 53…アルミ電極  
 54…アルミ電極

【図1】



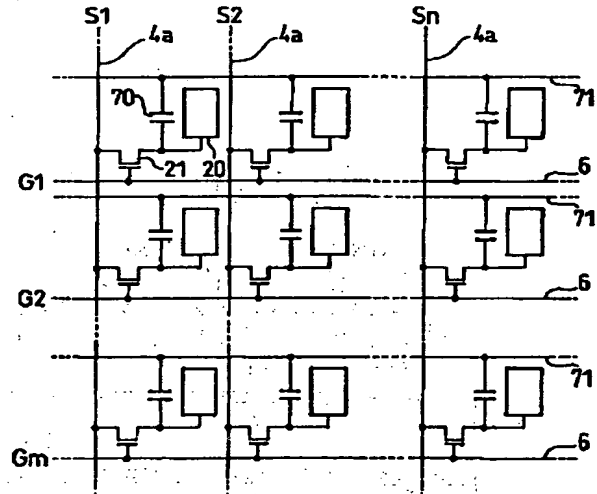
【図6】



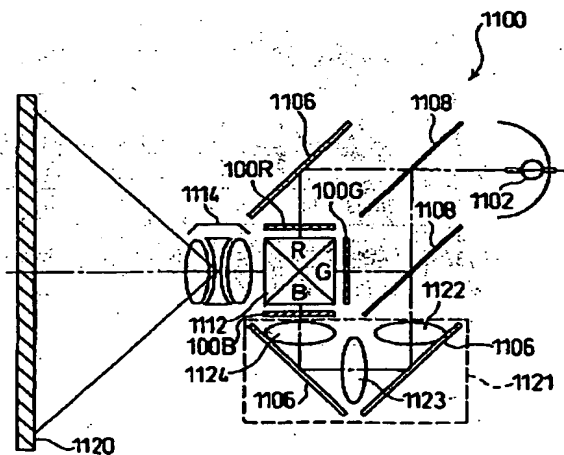
16

55…アルミ電極  
 60…TFT (Nチャネル)  
 61…TFT (Pチャネル)  
 S…半導体層  
 C…コンタクトホール  
 80…TFTアレイ基板  
 81…シール材  
 82…第3遮光膜  
 83…対向基板  
 84…第2遮光膜  
 85…電気光学物質層  
 70…蓄積容量  
 71…蓄積容量線  
 101…データ線駆動回路  
 103…サンプリング回路  
 104…走査線駆動回路

【図2】

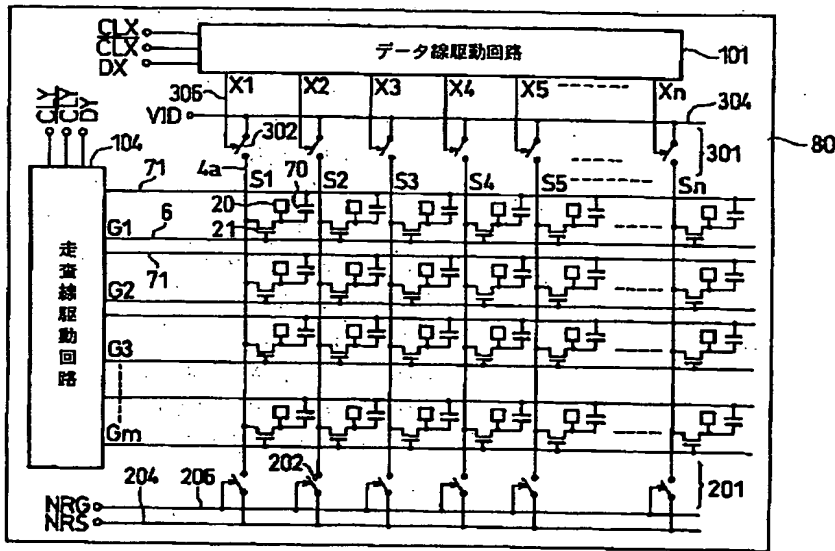


【図8】



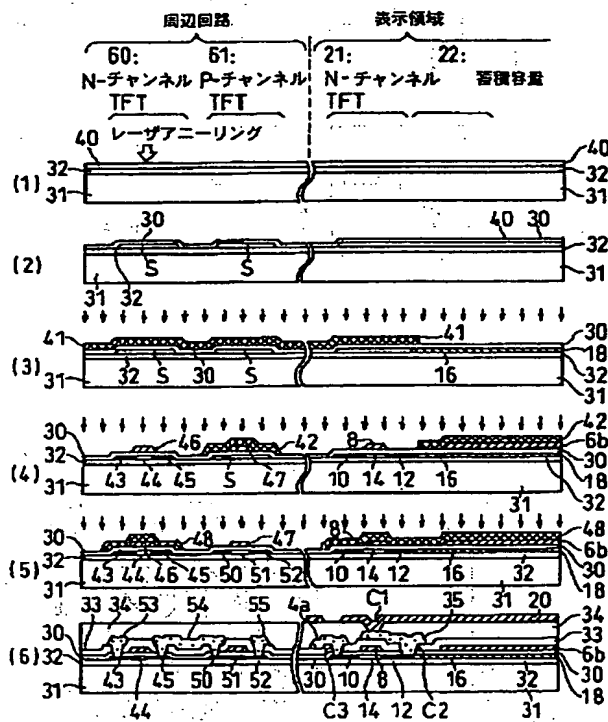
(10)

【図3】

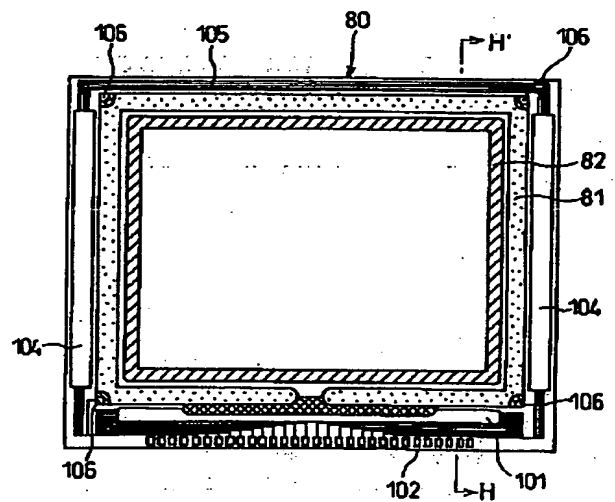


BEST AVAILABLE COPY

【図4】



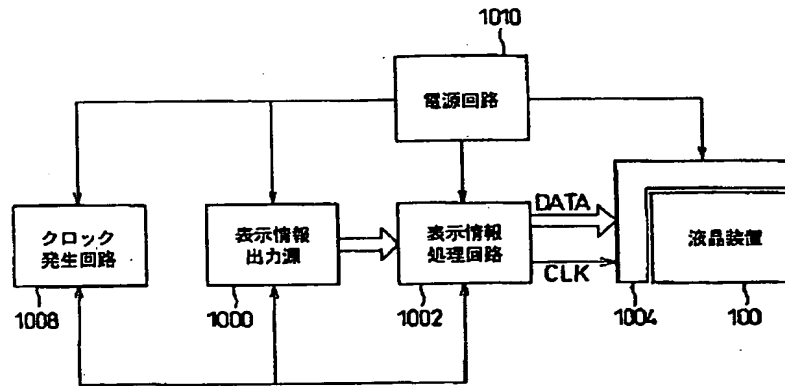
【図5】



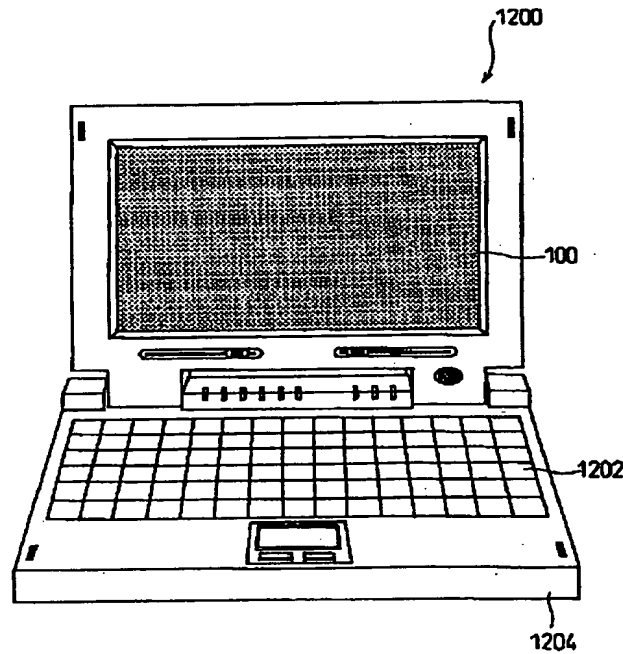


(11)

【図7】



【図9】



BEST AVAILABLE COPY

フロントページの続き

(51) Int. Cl. 7  
H01L 29/786

識別記号

F I  
H01L 29/78

テーマコード(参考)

617M  
617U